



Mikroprocesorová technika

Prednáška č. 6

**Radič DMA, radič pamäte FLASH,
obvod dohľadu nad napájacím napätím**



:: Radič DMA

- radič priameho prístupu do pamäte (DMA – **D**irect **M**emory **A**ccess) umožňuje **prenos dát z jednej adresy na inú** v celom rozsahu pamäte bez potreby zásahu CPU
- príkladom použitia môže byť automatický prenos dát z registrov A/D prevodníka do RAM
- radič DMA môže v závislosti od procesora obsahovať rôzny počet nezávislých prenosových kanálov
 - *procesory MSP430 disponujú 1 – 3 kanálmi*
- používanie radiča DMA môže výrazne **zvýšiť dátovú priepustnosť periférnych modulov a znížiť spotrebu systému**, keďže CPU môže zostať v nízkopríkonovom režime bez potreby aktivácie CPU pre potreby presunu dát alebo riadenia periférií



:: Radič DMA – základné vlastnosti

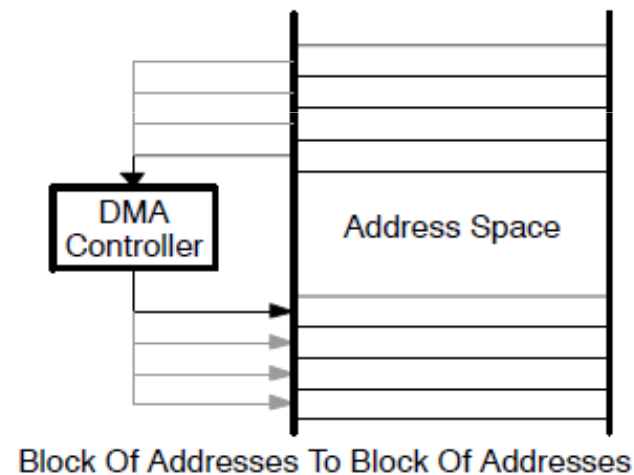
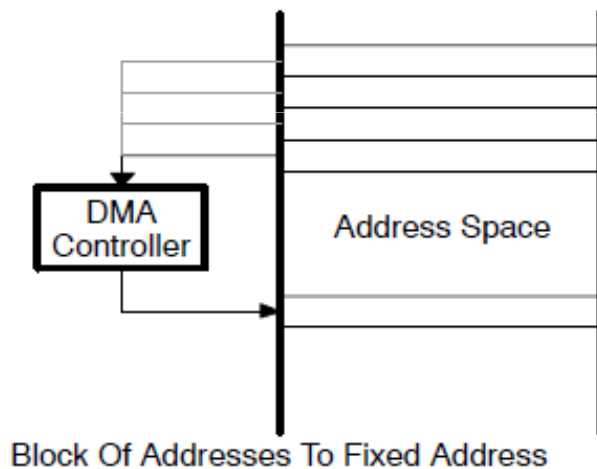
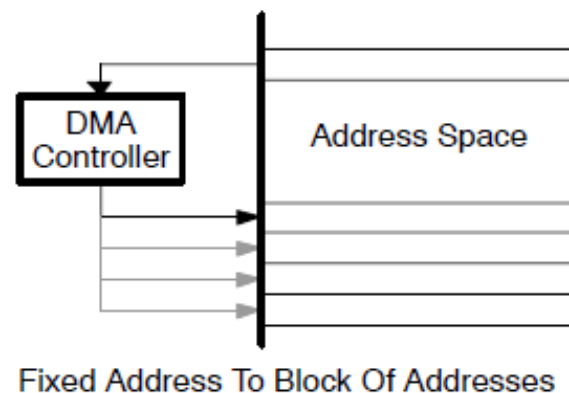
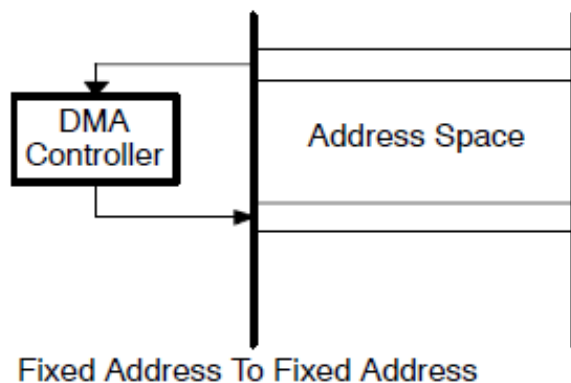
- presun dát zaberá iba dva cykly MCLK
- je možné prenášať bajty, slová alebo kombináciu bajt/slovo
- veľkosť prenášaného bloku dát môže dosahovať až 65535 bajtov alebo slov
- je možné nastaviť rôzne zdroje spúšťacieho signálu, ktorý spustí DMA prenos, pričom je možné zvoliť spúšťanie hranou alebo úrovňou tohto signálu
- radič DMA disponuje
 - *štyrmi adresovacími režimami*
 - *tromi základnými režimami prenosu: jednoduchý, blokový alebo dávkový*

:: Radič DMA – adresovacie režimy

- radič DMA disponuje štyrmi adresovacími režimami, pričom každý kanál môže používať iný adresovací režim:
 - *prenos z pevnej adresy na pevnú adresu*
 - *prenos z pevnej adresy na blok adres*
 - *prenos z bloku adres na pevnú adresu*
 - *prenos z bloku adres na blok adres*
- adresovacie režimy konfigurujeme prostredníctvom riadiacich bitov DMASRCINCRx a DMADSTINCRx:
 - *bity DMASRCINCRx určujú, či bude zdrojová adresa po každom prenose inkrementovaná, dekrementovaná alebo nezmenená*
 - *bity DMADSTINCRx určujú, či bude cieľová adresa po každom prenose inkrementovaná, dekrementovaná alebo nezmenená*

:: Radič DMA – adresovacie režimy

- prenos môže byť typu: byte-to-byte, word-to-word, byte-to-word, alebo word-to-byte
- pri prenose typu **word-to-byte sa prenáša iba dolný byte zdrojového slova**
- pri prenose typu **byte-to-word je horný byte cieľového slova zmazaný**





:: Radič DMA – prenosové režimy

- radič DMA disponuje **šiestimi prenosovými režimami**, ktoré nastavujeme pomocou riadiacich bitov DMADTx
- každý kanál je možné konfigurovať nezávisle
- režim prenosu je nezávislý od nastaveného režimu adresovania, pričom ktorýkoľvek režim prenosu je použiteľný s ktorýmkoľvek režimom adresovania
- bitmi DSTBYTE a SRCBYTE v registri DMAxCTL určujeme, či bude zdrojom a cieľom byte alebo slovo

:: Radič DMA – prenosové režimy

DMADTx	Režim prenosu	Opis
000	Jednoduchý prenos	Každý prenos vyžaduje spustenie. Bit DMAEN je automaticky zmazaný po vykonaní prenosu všetkých dát, ktorých počet je uvedený v registri DMAxSZ.
001	Blokový prenos	Po spustení dôjde k prenosu kompletného bloku dát. Na konci blokového prenosu je bit DMAEN automaticky zmazaný.
010, 011	Dávkový prenos	Činnosť CPU je preliňaná blokovým prenosom. Na konci dávkového prenosu je bit DMAEN automaticky zmazaný.
100	Opakovaný jednoduchý prenos	Každý prenos vyžaduje spustenie. Bit DMAEN zostáva nastavený.
101	Opakovaný blokový prenos	Po spustení dôjde k prenosu kompletného bloku dát. Bit DMAEN zostáva nastavený.
110, 111	Opakovaný dávkový prenos	Činnosť CPU je preliňaná blokovým prenosom. Bit DMAEN zostáva nastavený.



:: Radič DMA – spustenie prenosu

- zdroj spúšťania môžeme zvoliť nezávisle pre každý kanál DMA pomocou bitov DMAxTSELx (trigger selection)
- konfigurácia bitov DMAxTSELx by mala prebiehať iba za predpokladu, že bit DMAEN (reg. DMACTLx) je zmazaný, pretože v opačnom prípade môže dôjsť k nepredvídateľnému spusteniu prenosu
- ak vyberieme zdroj spúšťania prenosu, nesmela udalosť, ktorá spúšťa prenos, už predtým nastať, inak nedôjde k spusteniu prenosu



:: Radič DMA – spustenie prenosu

Spustenie DMA prenosu hranou

- spúšťanie prenosu hranou je aktívne, keď $\text{DMALEVEL} = 0$
- pri jednoduchom prenose vyžaduje každý prenos vlastné spustenie
- v prípade blokových alebo dávkových prenosov postačuje jedno spustenie

:: Radič DMA – spustenie prenosu

Spustenie DMA prenosu úrovňou

- spúšťanie prenosu úrovňou je aktívne, keď $DMALEVEL = 1$
- spúšťanie podľa úrovne je možné aktivovať iba ak je ako spúšťací signál nastavený externý spúšťací vstup DMAE0
- DMA prenos trvá kým má spúšťací signál vysokú úroveň a zároveň je nastavený povoľovací bit DMAEN
- aby sa blokové a dávkové presuny dokončili, musí zostať spúšťací signál nastavený až do konca prenosu, v opačnom prípade radič DMA zostane v okamžitom stave a k obnoveniu prenosov dôjde až vtedy, keď spúšťací signál opäť bude mať vysokú úroveň alebo keď dôjde k modifikácii registrov radiča DMA aplikačným softvérom
- pri spúšťaní DMA prenosu úrovňou je vhodné používať režimy $DMADTx = \{0, 1, 2, 3\}$, keďže v týchto režimoch je po dokončení prenosu bit DMAEN automaticky zmazaný



:: Radič DMA – zastavenie CPU počas prenosu dát

- bitom DMAONFETCH riadime, akým spôsobom dôjde k zastaveniu CPU počas DMA prenosu:
 - *ak DMAONFETCH = 0, je CPU zastavená okamžite a prenos začne v okamihu spustenia*
 - *ak DMAONFETCH = 1, CPU najskôr dokončí práve vykonávanú inštrukciu, potom radič DMA zastaví činnosť CPU a začne prenos*



:: Radič DMA – zastavenie prenosu dát

Existujú dva spôsoby zastavenia DMA prenosu, ktorý práve prebieha:

- jednoduchý, blokový alebo dávkový prenos je možné zastaviť NMI prerušením ak je nastavený bit ENNMI v registri DMACTL1
- dávkový prenos je možné zastaviť zmazaním bitu DMAEN



:: Radič DMA – počet potrebných cyklov pri prenose dát

- radič DMA potrebuje jeden až dva cykly MCLK k synchronizácii pred začiatkom prenosu dát
- prenos každého bytu alebo slova vyžaduje dva cykly MCLK po synchronizácii a jeden čakací cyklus po ukončení prenosu
- keďže radič DMA používa hodinový signál MCLK, závisí celkový čas prenosu dát od režimu činnosti MSP430 a nastavení systému generovania hodinových signálov
- ak je zdroj MCLK aktívny a CPU neaktívna, radič DMA pri prenose používa MCLK a ponecháva CPU neaktívnu
- ak je zdroj MCLK neaktívny, radič DMA dočasne nastaví ako zdroj tohto signálu DCOCLK pričom CPU zostáva neaktívna. Po skončení prenosu radič DMA deaktivuje aj zdroj signálu MCLK



:: Radič DMA – prerušenia

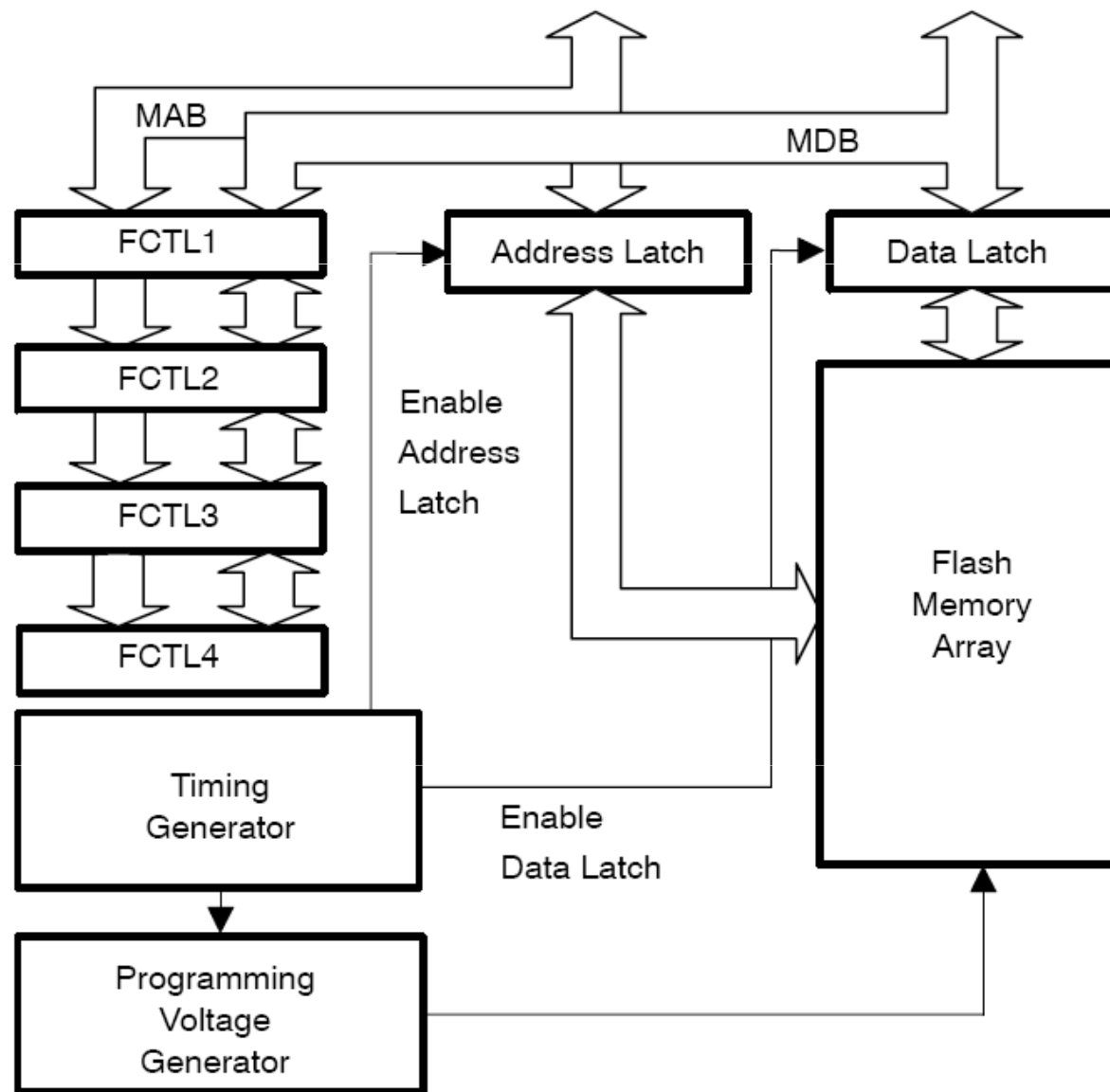
- prenos DMA nie je možné prerušiť systémovými prerušeniami, t.j. systémové prerušenia čakajú na dokončenie DMA prenosu
- jedine prerušenie NMI (bit ENNMI musí byť nastavený) umožňuje prerušiť činnosť radiča DMA
- ISR sú DMA prenosom prerušené, t.j. ak potrebujeme, aby daná ISR alebo iná programová rutina bola vykonaná bez prerušenia, musíme pred vykonaním rutiny zastaviť činnosť radiča DMA
- každý kanál DMA disponuje vlastným príznakom DMAIFG, ktorý je nastavený keď zodpovedajúci register DMAxSZ dosiahne dekrementáciou nulu a ak je nastavený zodpovedajúci bit DMAIE a sú globálne povolené prerušenia (GIE = 1), bude zároveň generovaná požiadavka prerušenia



:: Radič pamäte FLASH – základné vlastnosti

- FLASH pamäť procesora MSP430 je adresovateľná a programovateľná **bitovo, bajtovo, a po slovách**
- radič pamäte FLASH riadi jej programovanie a mazanie a pozostáva z:
 - *štyroch riadiacich registrov*
 - *generátora časovania*
 - *a generátora programovacieho napätia*

:: Radič pamäte FLASH – funkčná bloková schéma

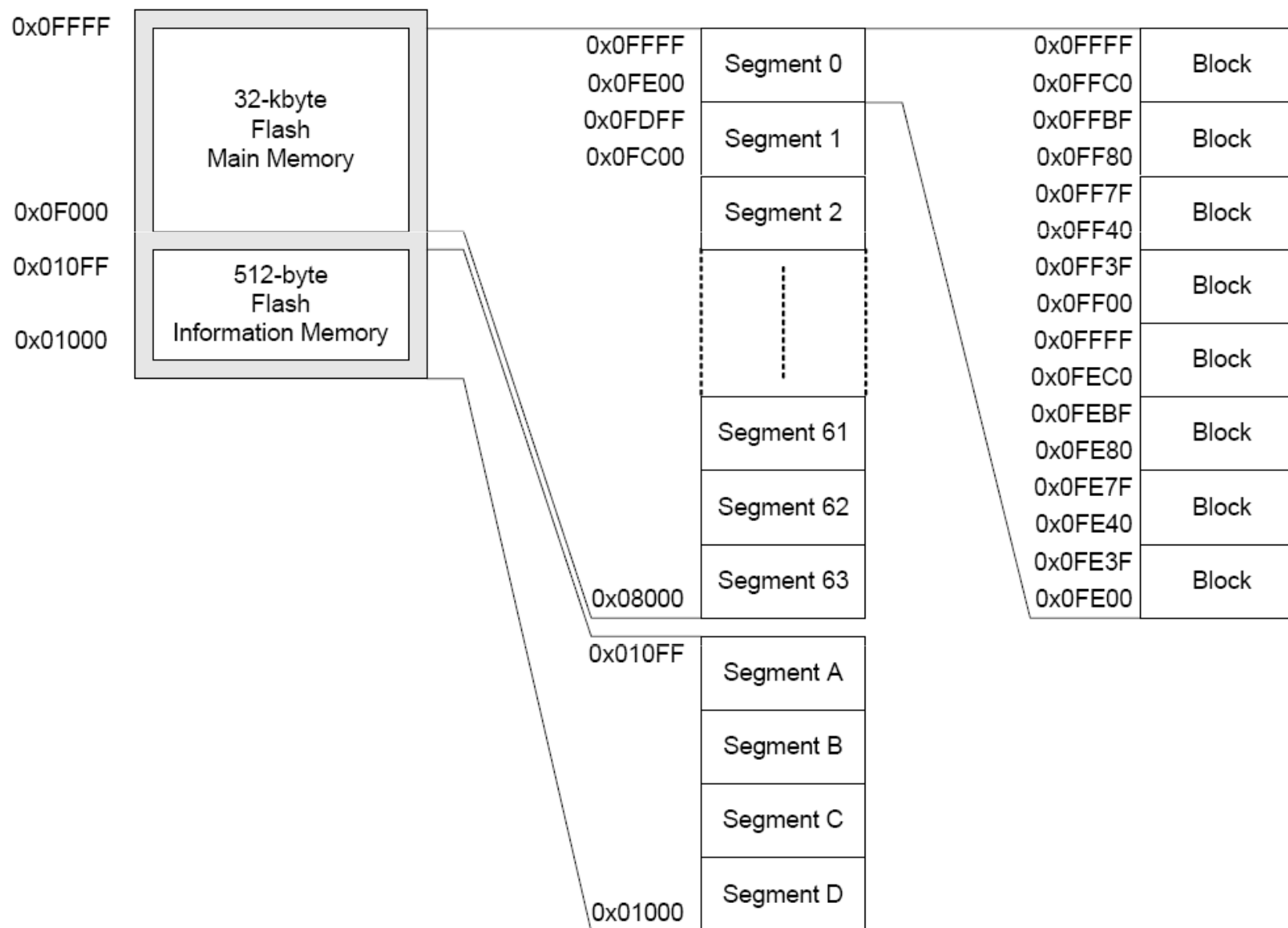




:: Radič pamäte FLASH – segmentácia pamäte

- pamäť FLASH procesora MSP430 je rozdelená do **segmentov**
- do pamäte môžeme **zapisovať** jednotlivé **bity, bajty alebo slová**, **mazať** však môžeme **iba po segmentoch**
- pamäť je rozdelená na:
 - hlavnú sekciu
 - informačnú sekciu
- z hľadiska činnosti a práce s pamäťou nie je medzi nimi rozdiel a v oboch sekciách môže byť uložený zdrojový kód alebo dáta
- rozdiel medzi hlavnou a informačnou sekciou pamäte spočíva vo veľkosti segmentu a fyzických adresách:
 - informačná pamäť má štyri 64-bajtové segmenty
 - hlavná pamäť má dva alebo viac 512-bajtových segmentov
 - jednotlivé segmenty sú delené na bloky

:: Radič pamäte FLASH – segmentácia pamäte





:: Radič pamäte FLASH – segment A

- **segment A informačnej pamäte** je možné **uzamknúť** nezávisle od ostatných segmentov pomocou bitu LOCKA, keď LOCKA = 1 nie je možné do segmentu A zapisovať ani ho zmazať a celá informačná pamäť je chránená pred vymazaním počas globálneho mazania pamäte alebo produkčného programovania
- keď LOCKA = 0, segment A je možné zmazať alebo doňho zapisovať ako do ktoréhokoľvek iného segmentu pamäte a celá informačná pamäť je počas globálneho mazania pamäte alebo produkčného programovania vymazaná
- stav bitu LOCKA preklápame zápisom 1 do tohto bitu, zápis 0 nemá žiadny vplyv



:: Radič pamäte FLASH – činnosť

- základný režim činnosti pamäte FLASH je režim čítania, kedy je generátor časovania a generátor programovacieho napätia neaktívny. FLASH vtedy pracuje ako ROM.
- pamäť FLASH procesora MSP430 je programovateľná v systéme (ISP - **In-System Programmable**) bez potreby externého zdroja programovacieho napätia
- **CPU je schopná programovať svoju vlastnú pamäť**
- pamäť FLASH môže pracovať v nasledujúcich režimoch zápisu/mazania:
 - *zápis bajtu alebo slova*
 - *blokový zápis*
 - *mazanie segmentu*
 - *mazanie všetkých segmentov hlavnej pamäte*
 - *globálne mazanie všetkých segmentov*
- zápis alebo čítanie pamäte počas programovania alebo mazania je zakázané
- ak počas zápisu alebo mazania pamäte je potrebná činnosť CPU, musí sa vykonávaný zdrojový kód nachádzať v RAM



:: Obvod dohľadu nad napájacím napätím

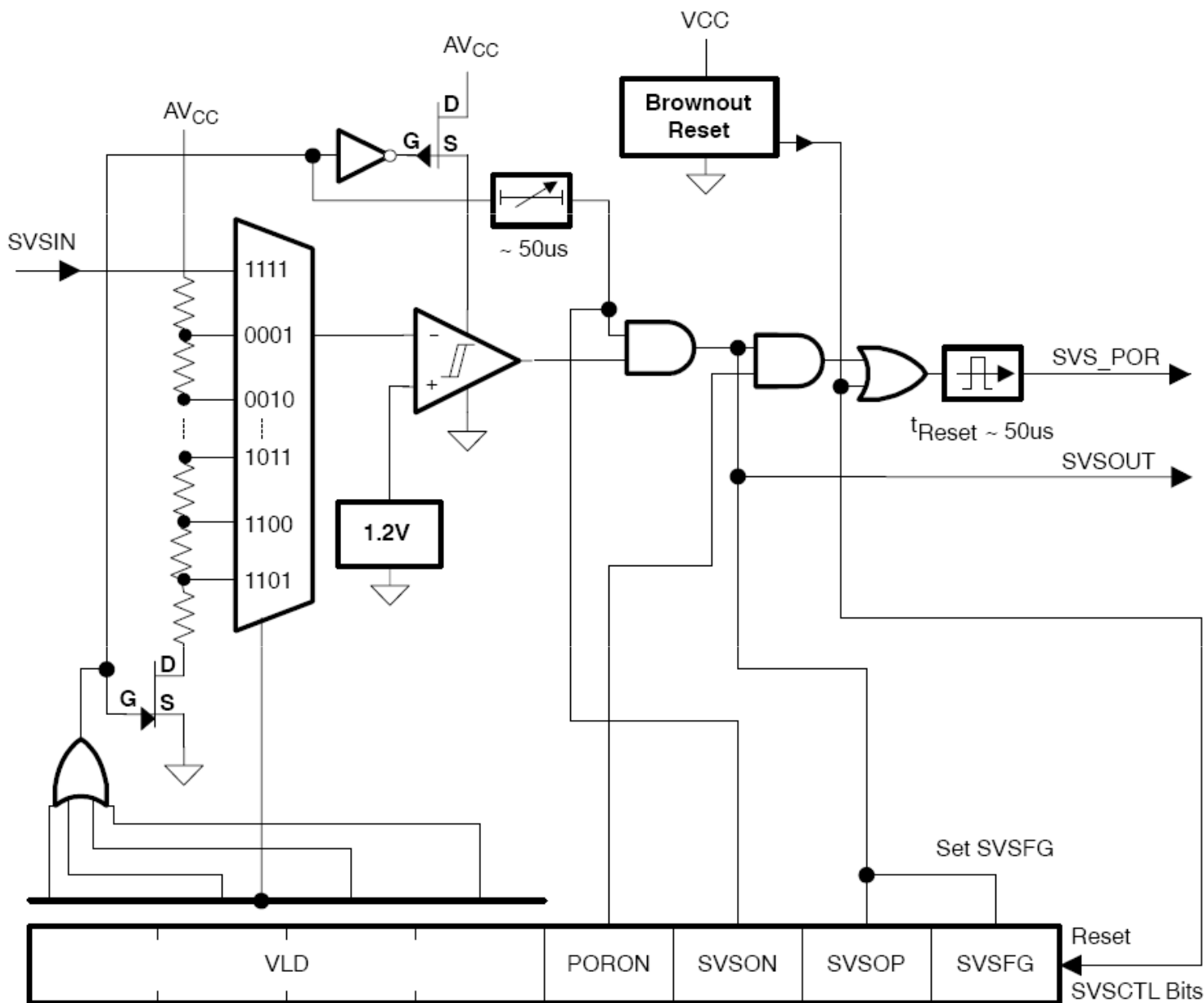
– základné vlastnosti

S T U . .
.
. F E I .
.

- obvod dohľadu nad napájacím napätím (SVS – **S**upply **V**oltage **S**upervisor) monitoruje napájacie napätie AVCC alebo externé napätie
- SVS môžeme nastaviť tak, aby nastavil príznak, resp. generoval reset POR v prípade, že úroveň napájacieho napätia alebo externého napätia poklesne pod definovanú úroveň
- výstup interného napäťového komparátora obvodu SVS je prístupný aplikačnému softvéru, t.j. stav nízkeho napätia je uložený v príslušnom registri a softvér môže túto informáciu získať a spracovať
- obvod SVS umožňuje definovať jednu zo 14 úrovní napätia
- monitorovanie externého napätia je zabezpečené prostredníctvom externého kanála

:: Obvod dohl'adu nad napájacím napätím

– funkčná bloková schéma





:: Obvod dohľadu nad napájacím napätím

– činnosť



- obvod SVS je po vykonaní brownout resetu deaktivovaný kvôli zníženiu spotreby
- bitmi VLDx aktivujeme alebo deaktivujeme obvod SVS a zároveň nimi definujeme jednu zo 14 komparačných úrovní $V_{(SVS_IT-)}$ pre porovnanie s úrovňou napätia AVCC
- obvod SVS je neaktívny ak $VLDx = 0$ a aktívny ak $VLDx > 0$
- bit SVSON neaktivuje obvod SVS, tento bit iba odráža okamžitý stav obvodu SVS a môžeme ho teda použiť na overenie, či je obvod SVS aktívny alebo neaktívny
- ak nastavíme $VLDx = 1111$, aktivujeme externý vstup SVSIN. V tomto prípade interný komparátor porovnáva napätie na tomto vstupe s internou referenciou 1.25 V.



:: Obvod dohľadu nad napájacím napätím

– činnosť



- ak dôjde k detekcii nízkeho napätia (napájacieho alebo externého), nastaví obvod SVS príznakový bit SVSFG
- bitom PORON povoľujeme alebo zakazujeme, či obvod SVS pri detekcii nízkeho napätia vyvolá reset:
 - *PORON = 1 => ak SVSFG = 1, potom dôjde k vyvolaniu resetu POR*
 - *PORON = 0 => stav nízkeho napätia nastaví príznak SVSFG, ale nevyvolá reset POR*
- bit SVSFG zostáva v registri uložený, t.j. aplikačný softvér môže určiť, či nastal stav nízkeho napätia
- bit SVSFG je nutné zmazať softvérovo
- ak stav nízkeho napätia pretrváva aj po zmazaní príznaku SVSFG, bude obvodom SVS po zmazaní opäť okamžite nastavený



:: Obvod dohľadu nad napájacím napätím

– činnosť

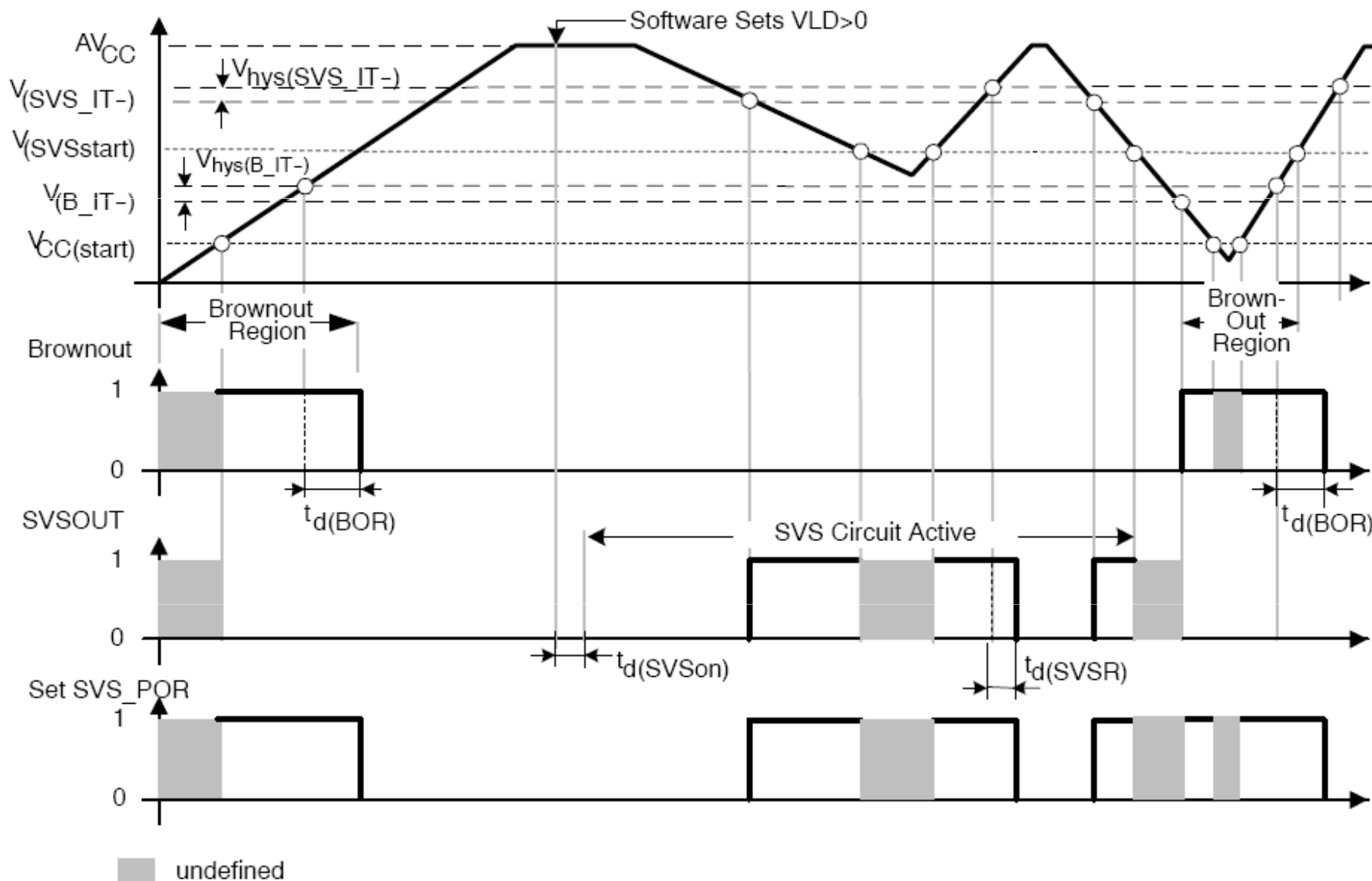


- pri zmene nastavenia bitov VLDx z nuly na inú hodnotu je v obvode SVS zaradené automatické oneskorenie $t_{d(SVSON)}$, ktoré umožňuje obvodu SVS korektné nastavenie
- oneskorenie $t_{d(SVSON)}$ je približne 50 μ s a počas tohto intervalu obvod SVS nereaguje na stav nízkeho napätia ani nevyvolá reset a zmaže bit SVSON
- aplikačný softvér môže testovať stav bitu SVSON a určiť, či interval uplynul a obvod SVS už korektne monitoruje napätie
- zápisom do registra SVSCTL, kým SVSON = 0 sa preruší automaticky generované oneskorenie $t_{d(SVSON)}$, a dôjde k okamžitej aktivácii obvodu SVS. Ak sa tak stane, potom obvod SVS nemusí byť korektne nastavený v dôsledku čoho jeho správanie bude nepredvídateľné



:: Obvod dohľadu nad napájacím napätím

– pracovný rozsah





:: Otázky ku skúške

- 1) Uvedte čo zabezpečuje radič DMA a aké sú výhody využitia DMA!
- 2) Aké adresovacie režimy umožňuje radič DMA procesora MSP430?
- 3) Aké režimy prenosu umožňuje radič DMA procesora MSP430?
- 4) Akými spôsobmi je možné spustiť a zastaviť DMA prenos?
- 5) Uvedte čo zabezpečuje radič pamäte FLASH a z akých častí pozostáva!
- 6) Akým spôsobom je rozdelená pamäť procesora MSP430 a aká je veľkosť segmentov v jednotlivých častiach pamäte?
- 7) V akých režimoch môže pracovať pamäť FLASH?
- 8) Uvedte čo zabezpečuje obvod dohľadu nad napájacím napätím a aké napätia ním môžeme monitorovať!
- 9) Aká je postupnosť operácií, ktoré vykoná obvod dohľadu nad napájacím napätím po detekcii stavu nízkeho napätia?



Koniec prednášky č. 6

**Radič DMA, radič pamäte FLASH,
obvod dohľadu nad napájacím napätím**