



Mikroprocesorová technika

Prednáška č. 2

**Konfigurácia I/O pinov,
modul generovania hodinového signálu**

SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE
FAKULTA ELEKTROTECHNIKY A INFORMATIKY
KATEDRA RÁDIOELEKTRONIKY
Laboratórium DSP a mikroradičov



:: Základné vlastnosti digitálnych vstupov a výstupov



- vstupno/výstupné (I/O) piny sú organizované do tzv. portov
- štandardne sú porty 8-pinové
- niektoré piny môžu mať okrem funkcie digitálneho vstupu alebo výstupu aj špecializované funkcie (napr. analógový vstup A/D prevodníka)
- funkciu každého pinu portu je možné nezávisle programovať
- niektoré piny môžeme konfigurovať ako vstupy externých prerušení
 - *v prípade platformy MSP430 je možné takto konfigurovať ktorýkoľvek pin portov P1 a P2*
 - *pozn.: procesor MSP430G2231 nemá implementovaný port P2!*
- registre prislúchajúce vstupným a výstupným dátam sú nezávislé
- každý pin disponuje programovateľným pull-up alebo pull-down rezistorom



:: Registre pre prácu s digitálnymi I/O pinmi



- **vstupný register PxIN (=input)**
 - *každý bit tohto registra zodpovedá príslušnému pinu daného portu Px, pričom obsahuje okamžitú úroveň L (=low) alebo H (=high) na príslušnom pine, keď je tento konfigurovaný ako digitálny I/O pin*
- **výstupný register PxOUT (=output)**
 - *každý bit tohto registra zodpovedá príslušnému pinu daného portu Px, pričom zápisom log. 1 do daného bitu nastavíme úroveň H na príslušnom pine (a opačne), za predpokladu, že je tento konfigurovaný ako digitálny I/O pin s výstupnou funkciou*
 - *ak sú povolené pull-up/pull-down rezistory na daných pinoch, potom príslušné bity registra PxOUT určujú, či bude aktívny pull-up alebo pull-down rezistor (log. 1 zodpovedá pull-up rezistoru a opačne)*



:: Registre pre prácu s digitálnymi I/O pinmi



- **smerový register PxDIR** (=direction)
 - *každý bit tohto registra zodpovedá príslušnému pinu daného portu Px, pričom ním nastavujeme smer dát na príslušnom pine (log. 1 zodpovedá výstupu a opačne), v závislosti od funkcie pinu*
 - *bity registra PxDIR týkajúce sa pinov, ktoré majú nastavenú špeciálnu funkciu je potrebné nastaviť podľa požiadaviek danej špeciálnej funkcie*
- **register pre konfiguráciu pull-up** (=pritiahni hore, k V_{CC}) **a pull-down** (=p..i dole, ku V_{SS} , GND, zemi) **rezistorov PxREN** (=resistor enable)
 - *každý bit tohto portu zodpovedá príslušnému pinu daného portu Px, pričom zápisom log. 1 do daného bitu povolíme pull-up/pull-down rezistor na príslušnom pine, pričom to, či bude aktívny pull-up alebo pull-down rezistor závisí od nastavenia zodpovedajúceho bitu registra PxOUT*



:: Registre pre prácu s digitálnymi I/O pinmi

- piny portov sú často multiplexované s funkciami prislúchajúcimi periférnym modulom (vstupy A/D prevodníka, vstupy a výstupy časovača, atď.)
- bity registrov PxSEL (=select, vyber) a PxSEL2 umožňujú nastaviť funkciu príslušného pinu portu Px:

PxSEL2	PxSEL	Pin Function
0	0	I/O function is selected.
0	1	Primary peripheral module function is selected.
1	0	Reserved. See device-specific data sheet.
1	1	Secondary peripheral module function is selected.

- nastavenie PxSELx = 1 nenastaví automaticky smer dát na pine. Funkcie niektorých periférnych modulov vyžadujú, aby boli zároveň správne konfigurované príslušné bity registra PxDIRx



:: Registre pre prácu s digitálnymi I/O pinmi

- v prípade, že je ktorýkoľvek bit registra PxSELx nastavený, je funkcia externého prerušenia zodpovedajúceho pinu zakázaná
- v prípade, že je daný pin portu nastavený ako vstup pre niektorý z periférnych modulov, je signál na pine najskôr zachytený vyrovnávacím (LATCH) registrom a potom vedený do periférneho modulu
- pokým PxSELx = 1, sleduje interný vstupný signál periférneho modulu stav signálu na danom pine
- ak PxSELx = 0, zostane interný vstupný signál periférneho modulu na úrovni, na akej sa nachádzal signál na danom pine predtým, ako bol bit PxSELx nastavený na log. 0



:: Registre pre konfiguráciu externých prerušení

- ktorýkoľvek bit portu P1 je možné konfigurovať ako vstup externého prerušenia
- **register príznakov prerušení P1IFG** (= Interrupt FlaGs)
 - *každý bit P1IFGx predstavuje príznak prerušenia zodpovedajúceho pinu portu P1 a k jeho nastaveniu dôjde, keď detektor hrany detekuje zvolený typ hrany signálu na danom pine*
- zmazanie príznaku je nutné vykonať softvérovo
- zápisom log. 1 do príslušného bitu P1IFGx môže programátor softvérovo vyvolať prerušenie
- prerušenie vyvolá iba hrana signálu, nie statická úroveň



:: Registre pre konfiguráciu externých prerušení



- **register výberu hrany signálu spúšťajúcej prerušenie P1IES (=Edge Select)**
 - *každý bit registra P1IES umožňuje nastaviť, aký typ hrany signálu na zodpovedajúcom pine spustí prerušenie (log. 1 zodpovedá prechodu z úrovně H na úroveň L a naopak)*
- **register povolenia externých prerušení P1IE (=Interrupts Enable)**
 - *každý bit registra P1IE umožňuje povoliť alebo zakázať prerušenie od daného pinu portu P1 (log. 1 zodpovedá povolenému prerušeniu a naopak)*



:: Konfigurácia nepoužitých I/O pinov

- všetky I/O piny, ktoré v reálnej aplikácii nie sú použité, by mali byť konfigurované ako výstupné digitálne piny a ponechané na DPS nezapojené, aby sa zabránilo plávajúcemu vstupu a redukovala sa tak spotreba procesora
- hodnota bitov PxOUTx je irelevantná, keďže pin nie je pripojený
- aby sa zabránilo plávajúcemu vstupu, je alternatívne možné povoliť integrovaný pull-up/pull-down rezistor nastavením príslušného bitu PxRENx



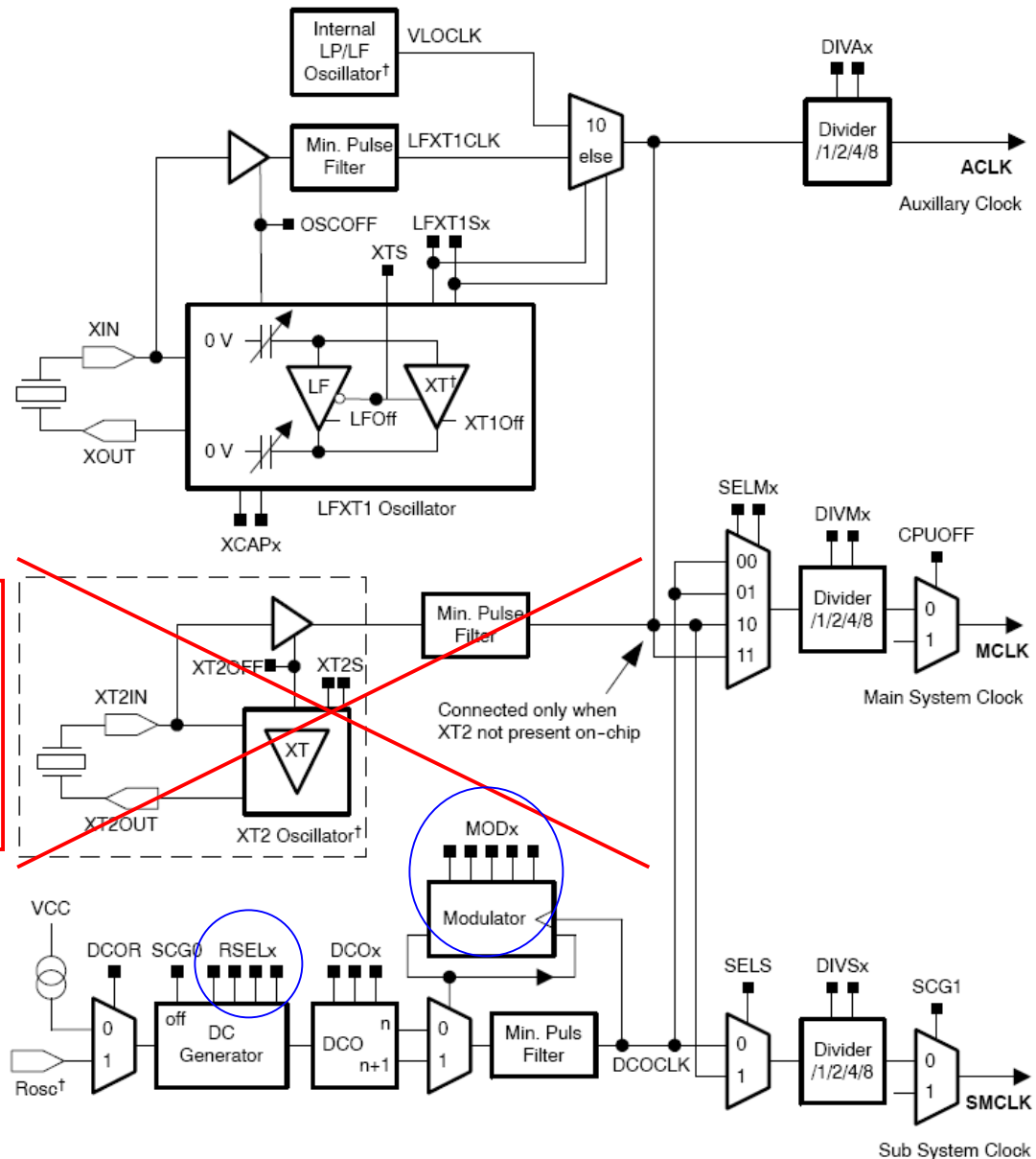
:: Prehľad registrov konfigurácie I/O pinov

S T U . .
.
. F E I .
.

Port	Register	Short Form	Address	Register Type	Initial State
P1	Input	P1IN	020h	Read only	-
	Output	P1OUT	021h	Read/write	Unchanged
	Direction	P1DIR	022h	Read/write	Reset with PUC
	Interrupt Flag	P1IFG	023h	Read/write	Reset with PUC
	Interrupt Edge Select	P1IES	024h	Read/write	Unchanged
	Interrupt Enable	P1IE	025h	Read/write	Reset with PUC
	Port Select	P1SEL	026h	Read/write	Reset with PUC
	Port Select 2	P1SEL2	041h	Read/write	Reset with PUC
	Resistor Enable	P1REN	027h	Read/write	Reset with PUC



:: Schéma modulu generovania hodinového signálu



Procesor MSP430G2231 nemá implementovaný oscilátor XT2!



:: Modul generovania hodinového signálu - základné informácie



- navrhnutý s ohľadom na udržanie nízkej ceny systému a veľmi nízkej spotreby
- umožňuje generovať **tri interné hodinové signály**, čím umožňuje programátorovi vybrať najlepší pomer medzi výkonom a spotrebou.
- modul generovania hodinového signálu v procesore MSP430G2231 môže pracovať bez potreby externých komponentov alebo s externým kryštálom 32,768 kHz
- modul je plne konfigurovateľný aplikačným softvérom



:: Modul generovania hodinového signálu - zdroje hodinových signálov



Modul generovania hodinového signálu procesora MSP430G2231 zahŕňa tri zdroje hodín:

- LFXT1CLK (Low Frequency crystal (crystal \equiv X-Tal) CLock)
 - *NF oscilátor, ktorý vyžaduje externý hodinový kryštál 32,768 kHz*
- DCOCLK (Digital COnrolled CLock)
 - *interný digitálne riadený oscilátor (DCO) s jednou kalibrovanou frekvenciou*
- VLOCLK (Very LOw power low frequency CLock)
 - *interný NF oscilátor s veľmi nízkou spotrebou s typickou frekvenciou 12 kHz*



:: Modul generovania hodinového signálu

- interný digitálne riadený oscilátor DCOCLK

S T U . .
.
. F E I .
.

- frekvenciu oscilátora DCOCLK je možné nastaviť bitmi DCOx, MODx (=MODulator) a RSELx (viď záver prednášky s prehľadom registrov)
- po vykonaní PUC (Power-Up Clear) sú RSELx = 7 a DCOx = 3, tzn., že DCO začne oscilovať na cca strednej frekvencii
- signály MCLK a SMCLK sú generované oscilátorom DCOCLK
- nábeh oscilácií oscilátora DCOCLK je veľmi rýchly a keďže CPU vykonáva zdrojový kód na základe MCLK generovaného týmto oscilátorom, začne CPU vykonávať zdrojový kód za menej ako 2 μ s po vykonaní PUC

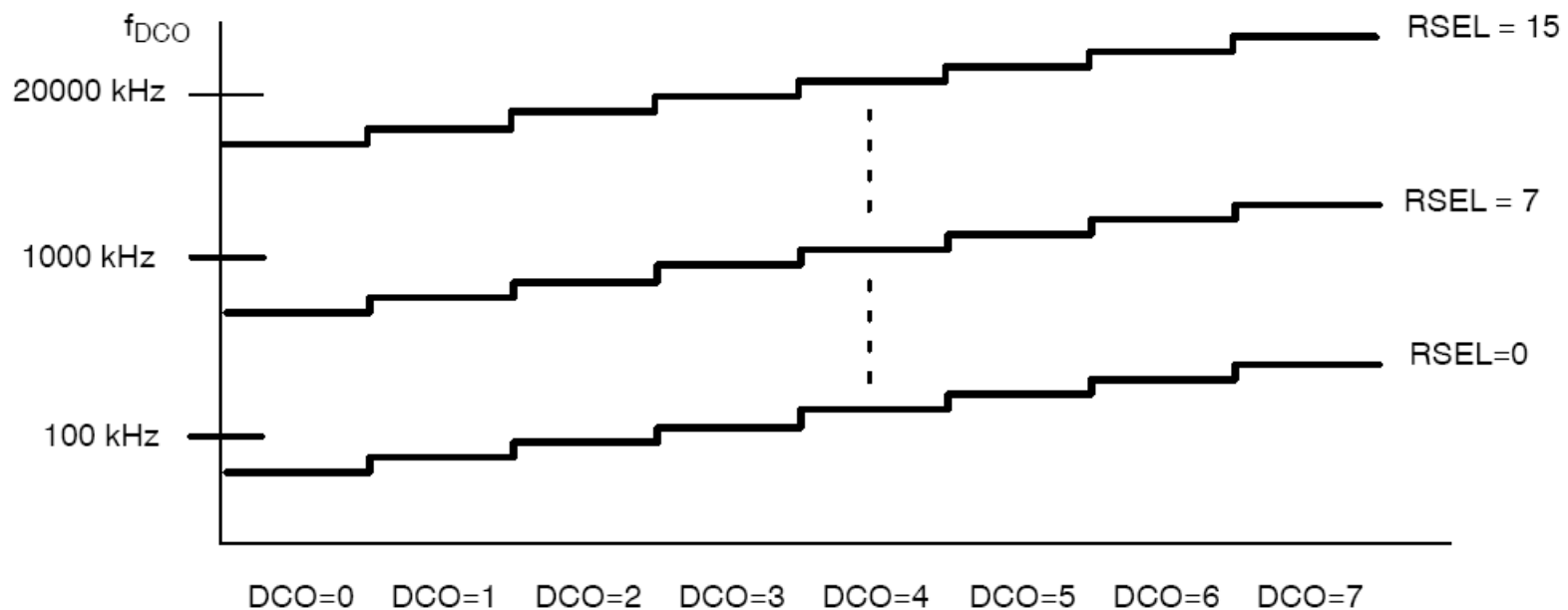


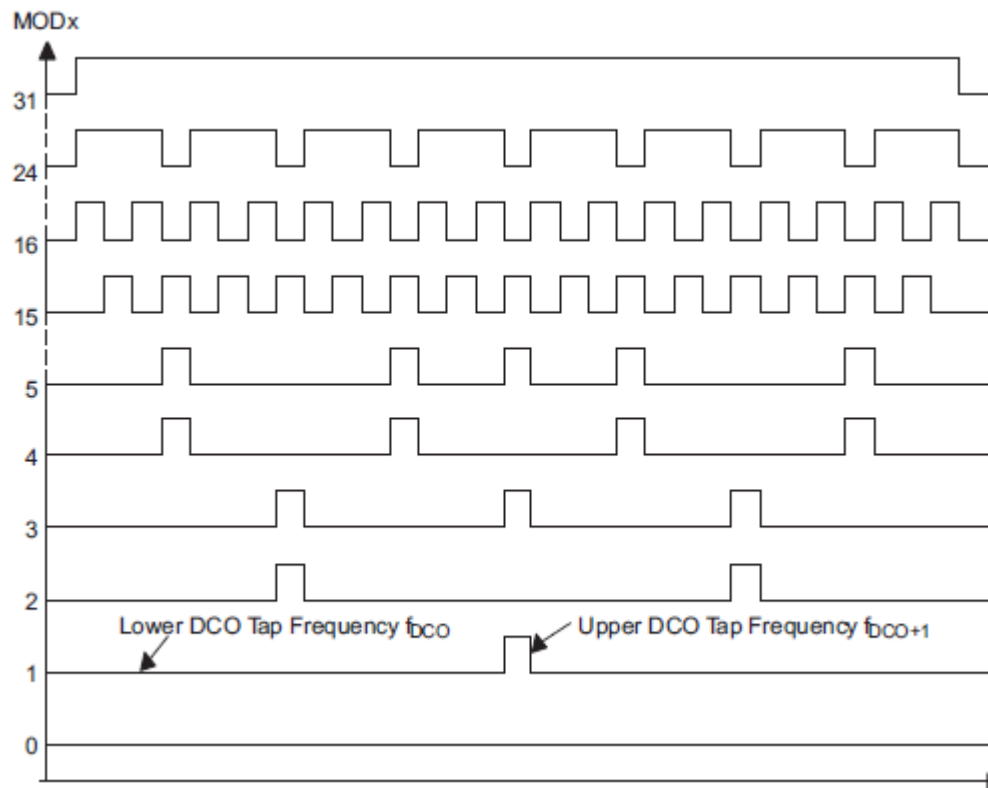
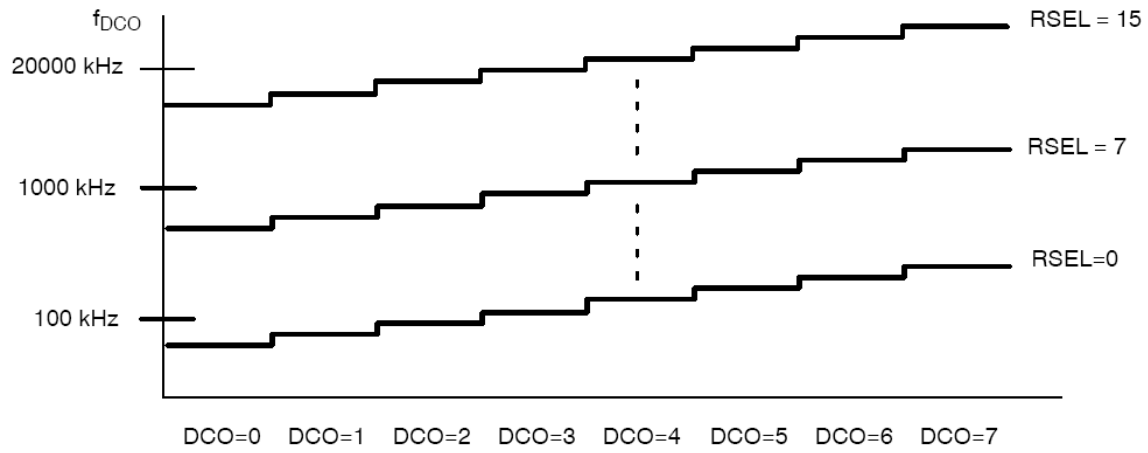
:: Modul generovania hodinového signálu

- interný digitálne riadený oscilátor DCOCLK

S T U . .
.
. F E I .
.

Typický frekvenčný rozsah daný nastavením bitov DCOx a frekvenčné kroky dané nastavením bitov RSELx





28.02.2013



:: Modul generovania hodinového signálu

- interný digitálne riadený oscilátor DCOCLK

S T U . .
.
. F E I .
.

- každý mikroradič MSP430G2xx disponuje minimálne jednou kalibrovanou sadou hodnôt pre nastavenie registrov DCOCTL a BCSCTL1 (=Basic Clock System ConTroL) za účelom nastavenia presnej frekvencie oscilátora DCOCLK
- kalibračné hodnoty sú uložené v tzv. informačnom pamäťovom segmente A
- použitie kalibračných hodnôt spočíva v ich skopírovaní do registrov DCOCTL a BCSCTL1
- kalibrácia ovplyvní bity DCOx, MODx, a RSELx, a zmaže všetky ostatné bity v registroch DCOCTL a BCSCTL1 s výnimkou XT2OFF, ktorý zostane nastavený



:: Modul generovania hodinového signálu - hodinové signály



Modul generovania hodinového signálu procesora MSP430G2231 generuje tri hodinové signály:

1

- ACLK (Auxiliary clock)
 - *zdrojom signálu pre ACLK môže byť buď oscilátor LFXT1CLK alebo VLOCLK, nie DCOCLK. Výber zdroja riadime softvérovo.*
 - *je možné ho deliť deličkou 1, 2, 4, alebo 8*
 - *je možné ho softvérovo priradiť individuálne k periférnym modulom*



:: Modul generovania hodinového signálu - hodinové signály



2

- MCLK (Master clock)
 - *zdrojom signálu pre MCLK môže byť oscilátor LFXT1CLK, VLOCLK alebo DCOCLK. Výber zdroja riadime softvérovo.*
 - *je možné ho deliť deličkou 1, 2, 4, alebo 8*
 - *používa ho CPU a systém*



:: Modul generovania hodinového signálu - hodinové signály



3

▪ SMCLK (Sub-main clock)

- *zdrojom signálu pre SMCLK môže byť oscilátor LFXT1CLK, VLOCLK alebo DCOCLK. Výber zdroja riadime softvérovo.*
- *je možné ho deliť deličkou 1, 2, 4, alebo 8*
- *je možné ho softvérovo priradiť individuálne k periférnym modulom*



:: Modul generovania hodinového signálu

- činnosť modulu



- po vykonaní PUC, sú signály MCLK a SMCLK generované oscilátorom DCOCLK s frekvenciou ~1.1MHz a ACLK je generovaný oscilátorom LFXT1CLK
- riadiace bity stavového registra SCG0, SCG1, OSCOFF a CPUOFF konfigurujú režim činnosti MSP430 a povoľujú alebo zakazujú časti modulu generovania hodinového signálu
- registre DCOCTL, BCSCTL1, BCSCTL2, a BCSCTL3 umožňujú úplnú softvérovú konfiguráciu modulu generovania hodinového signálu
- modul generovania hodinového signálu je možné softvérovo konfigurovať kedykoľvek počas vykonávania aplikačného programu



:: Modul generovania hodinového signálu

- činnosť modulu



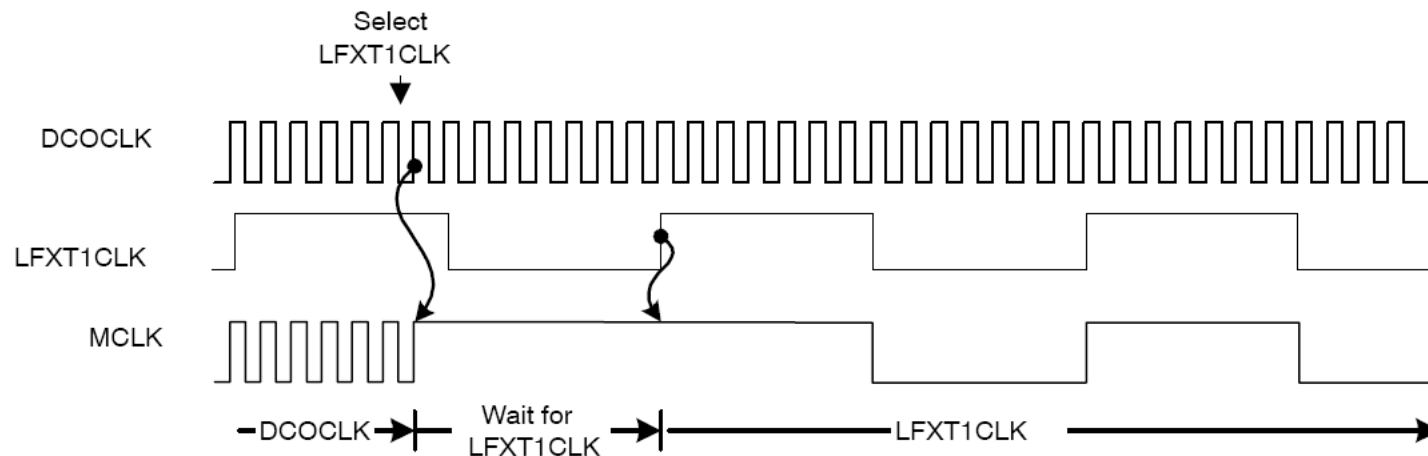
- po vykonaní PUC, je signál MCLK generovaný oscilátorom DCOCLK
- ak potrebujeme signál MCLK generovať oscilátorom LFXT1, je potrebné vykonať nasledujúcu sekvenciu operácií:
 - aktivujeme oscilátor LFXT1 a nastavíme požadovaný režim
 - zmažeme príznak OFIFG (register IFG1)
 - čakáme minimálne 50 μ s
 - testujeme príznak OFIFG a opakujeme kroky 1-4 až kým zostane zmazaný



:: Modul generovania hodinového signálu - synchronizácia hodinových signálov

V prípadoch, kedy prepíname zdroj hodinových signálov MCLK alebo SMCLK, je toto prepnutie synchronizované, aby sa zabránilo kritickým situáciám:

- okamžitá perióda hodín pokračuje až do príchodu ďalšej nábežnej hrany
- hodinový signál zostane na vysokej úrovni až do príchodu nábežnej hrany nového hodinového signálu
- nový hodinový signál pokračuje s úplnou periódou





:: Modul generovania hodinového signálu - prehľad registrov

S T U . .
.
. F E I .
.

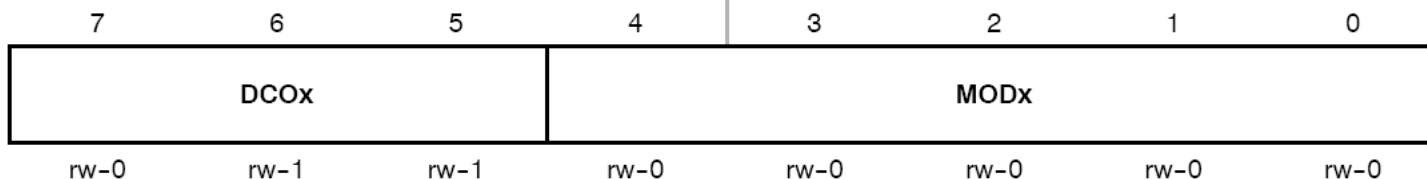
Register	Short Form	Register Type	Address	Initial State
DCO control register	DCOCTL	Read/write	056h	060h with PUC
Basic clock system control 1	BCSCTL1	Read/write	057h	087h with POR [†]
Basic clock system control 2	BCSCTL2	Read/write	058h	Reset with PUC
Basic clock system control 3	BCSCTL3	Read/write	053h	005h with PUC
SFR interrupt enable register 1	IE1	Read/write	000h	Reset with PUC
SFR interrupt flag register 1	IFG1	Read/write	002h	Reset with PUC

[†] Some of the register bits are also PUC initialized. See register summary.

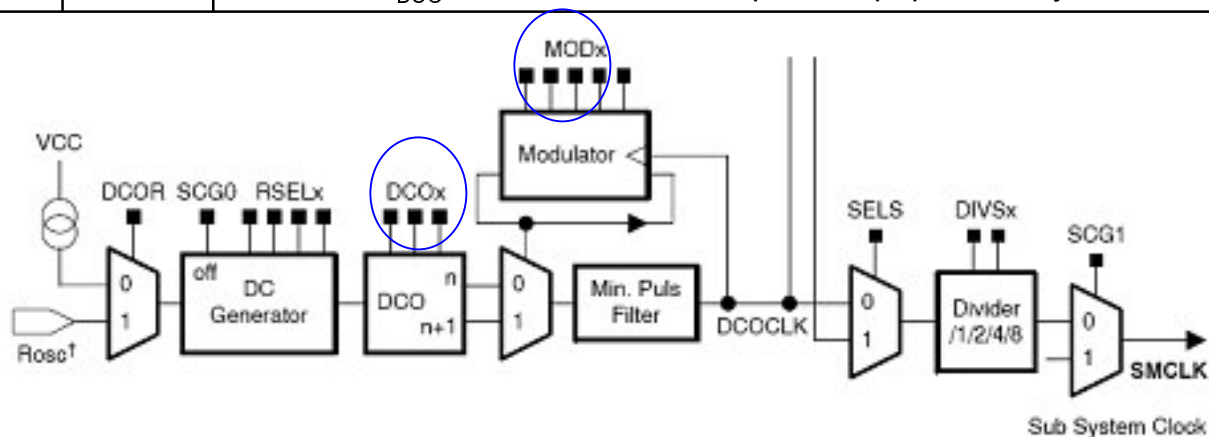


:: Modul generovania hodinového signálu - prehľad registrov

DCOCTL – DCO ConTrol Register



DCOx	Bity 7-5	Výber frekvencie DCO. Týmito bitmi vyberáme jednu z ôsmich diskretných frekvencií DCO v rozsahu definovanom nastavením bitov RSELx.
MODx	Bity 4-0	Nastavenie modulátora. Tieto bity definujú ako často je frekvencia f_{DCO+1} využívaná v rámci periódy 32 cyklov DCOCLK. Počas zostávajúcich cyklov (32-MOD) sa používa frekvencia f_{DCO} . Nastavenie sa nedá použiť v prípade, kedy DCOx=7.





:: Modul generovania hodinového signálu

- prehľad registrov



BCSCTL1, Basic Clock System Control Register 1

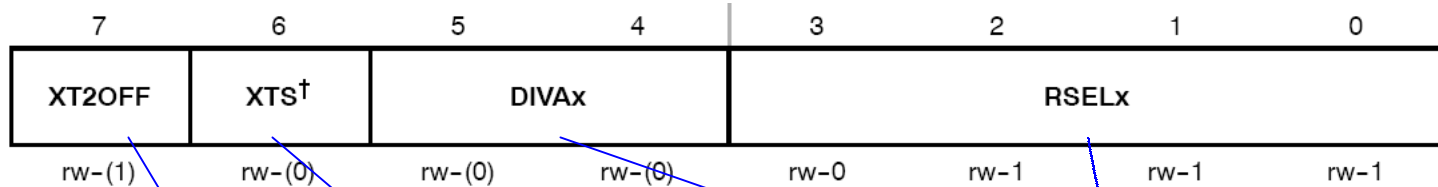


[†] XTS = 1 is not supported in MSP430x20xx devices.

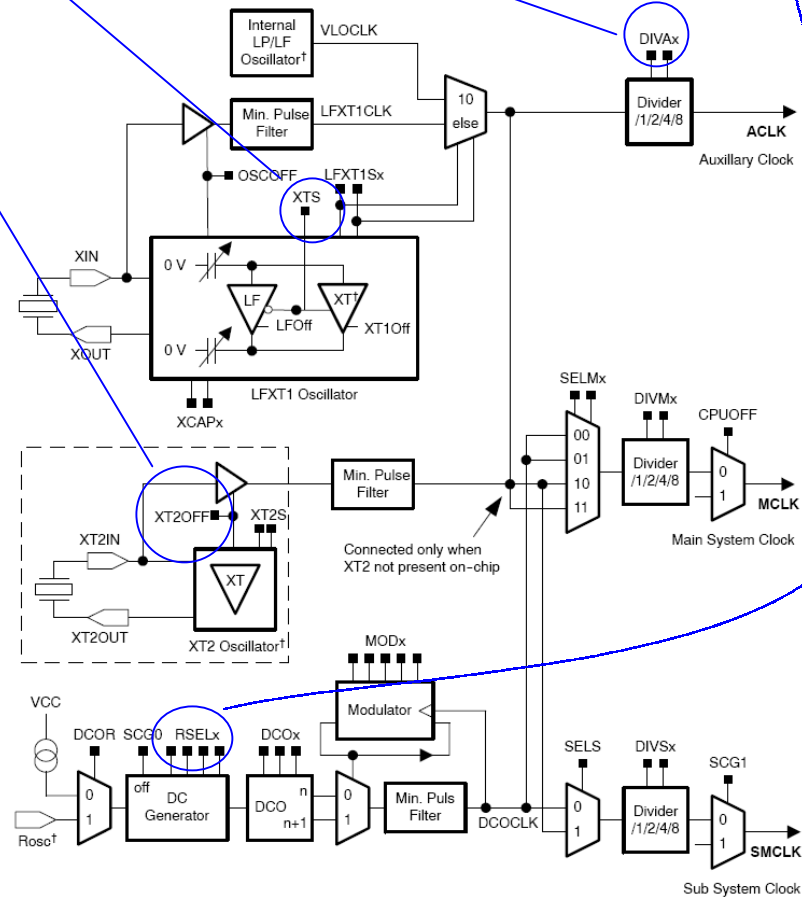
XT2OFF	Bit 7	XT2 off. Deaktivácia oscilátora XT2 0 XT2 je aktívny 1 XT2 je neaktívny, ak nie je využívaný pre MCLK alebo SMCLK.
XTS	Bit 6	Výber režimu činnosti oscilátora LFXT1. 0 Low frequency mode 1 High frequency mode
DIVAx	Bity 5-4	Nastavenie deličky pre signál ACLK. 00 /1 01 /2 10 /4 11 /8
RSELx	Bity 3-0	Výber rozsahu pre oscilátor DCO. K dispozícii je šesťnásť rôznych rozsahov frekvencií. Najnižší frekvenčný rozsah je nastavený, keď RSELx=0. Ak DCOR = 1, je RSEL3 ignorovaný.



BCSCTL1, Basic Clock System Control Register 1



† XTS = 1 is not supported in MSP430x20xx devices.



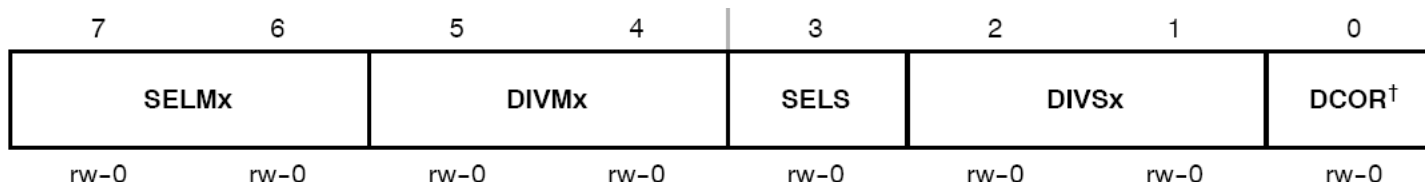


:: Modul generovania hodinového signálu

- prehľad registrov



BCSCTL2, Basic Clock System Control Register 2



[†] Does not apply to MSP430x20xx or MSP430x21xx

SELMx	Bity 7-6	Výber zdroja hodin signálu MCLK. 00 DCOCLK 01 DCOCLK •XT2CLK ak je oscilátor XT2 prítomný na čipe procesora. LFXT1CLK alebo VLOCLK ak oscilátor XT2 nie je implementovaný. 11 LFXT1CLK alebo VLOCLK
DIVMx	Bity 5-4	Nastavenie deličky pre signál MCLK. 00 /1 01 /2 10 /4 11 /8
SELS	Bit 3	Výber zdroja hodin signálu SMCLK. 0 DCOCLK 1 XT2CLK ak je oscilátor XT2 prítomný na čipe procesora. LFXT1CLK alebo VLOCLK ak oscilátor XT2 nie je implementovaný.



BCSCTL2, Basic Clock System Control Register 2, pokračovanie



[†] Does not apply to MSP430x20xx or MSP430x21xx

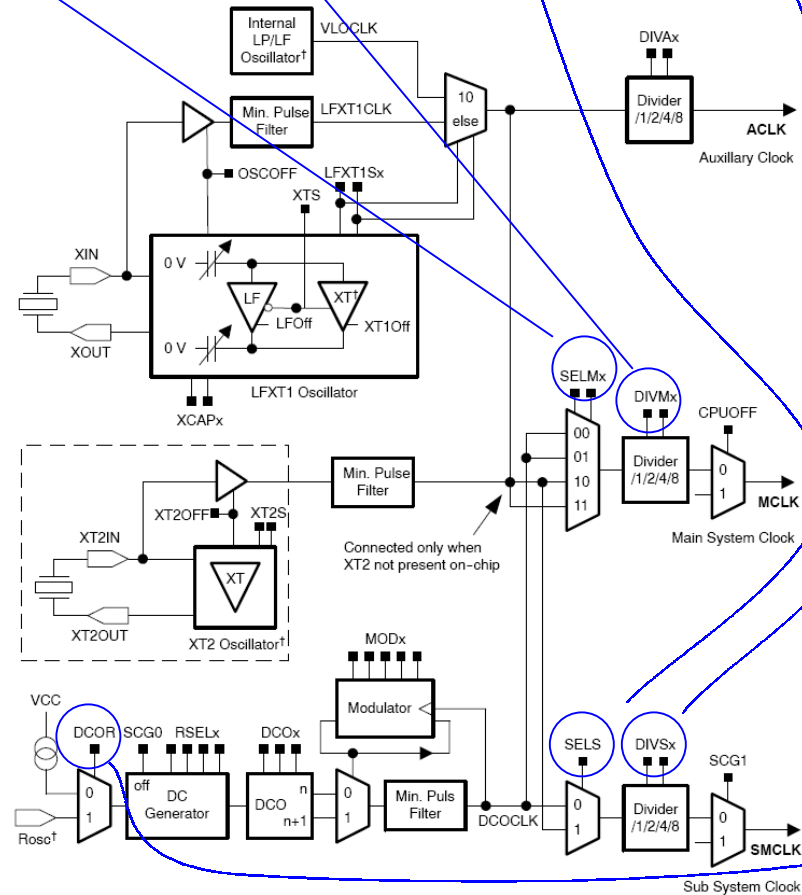
DIVSx	Bity 2-1	Nastavenie deličky pre signál SMCLK.	
		00	/1
		01	/2
		10	/4
		11	/8
DCOR	Bit 0	Výber rezistora pre DCO	
		0	Interný rezistor
		1	Externý rezistor



BCSCTL2, Basic Clock System Control Register 2, pokračovanie



† Does not apply to MSP430x20xx or MSP430x21xx



28.02.2013



:: Modul generovania hodinového signálu

- prehľad registrov

BCSCTL3, Basic Clock System Control Register 3



[†] Does not apply to MSP430x2xx, MSP430x21xx, or MSP430x22xx devices

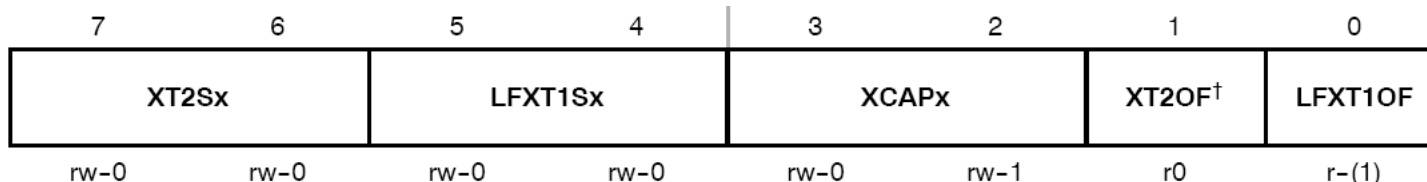
XT2Sx	Bity 7-6	Výber rozsahu frekvencií oscilátora XT2. 00 0.4 – 1 MHz kryštál alebo rezonátor 01 1 – 3 MHz kryštál alebo rezonátor 10 3 – 16 MHz kryštál alebo rezonátor 11 externý zdroj hodín 0.4 – 6 MHz
LFXT1Sx	Bity 5-4	Výber rozsahu frekvencií oscilátora LFXT1. Ak XTS = 0: 00 kryštál s rez. frekvenciou 32,768 kHz 01 rezervované 10 VLOCLK (rezervované v prípade mikroradiča MSP430x21x1) 11 externý zdroj hodín Ak XTS = 1 (Nie je možné použiť pre mikroradiče MSP430x20xx) 00 0.4 – 1 MHz kryštál alebo rezonátor 01 1 – 3 MHz kryštál alebo rezonátor 10 3 – 16 MHz kryštál alebo rezonátor 11 externý zdroj hodín 0.4 – 6 MHz



:: Modul generovania hodinového signálu

- prehľad registrov

BCSCTL3, Basic Clock System Control Register 3, pokračovanie

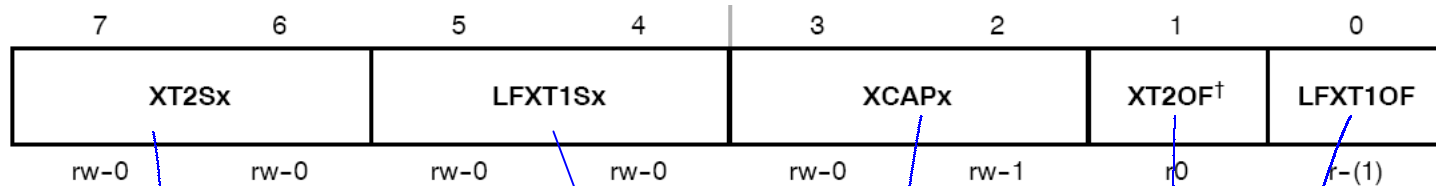


[†] Does not apply to MSP430x2xx, MSP430x21xx, or MSP430x22xx devices

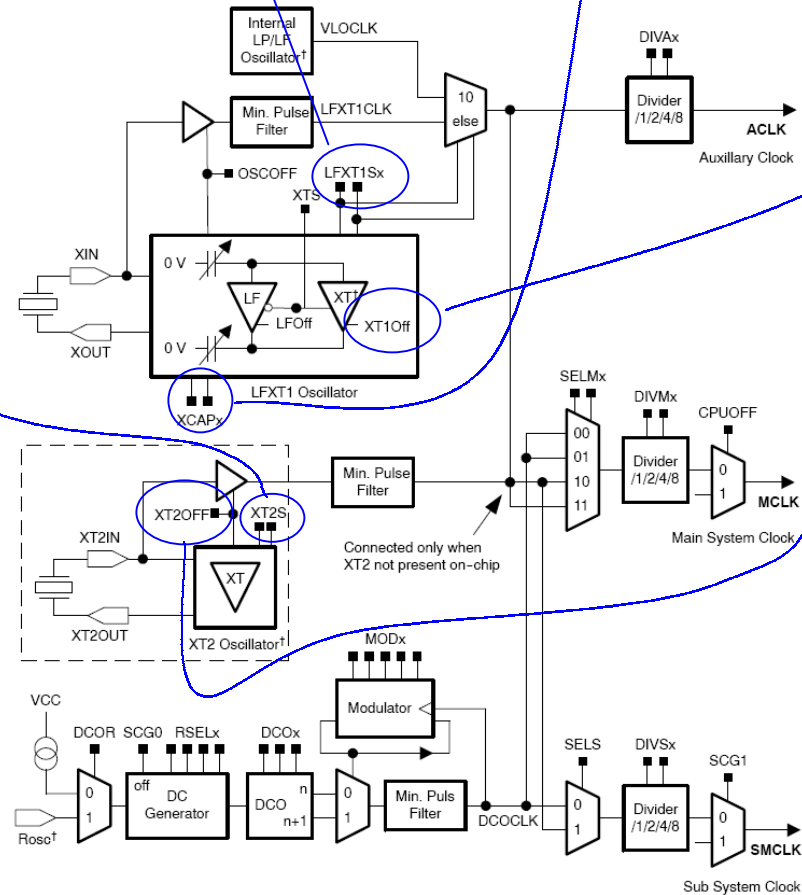
XCAPx	Bity 3-2	<p>Výber kapacitorov oscilátora. Týmito bitmi nastavujeme efektívne interné kapacity pre kryštál oscilátora LFXT1, keď XTS = 0. Ak XTS = 1 alebo ak LFXT1Sx = 11 potom XCAPx by mali byť 00.</p> <table> <tr> <td>00</td> <td>~1 pF</td> </tr> <tr> <td>01</td> <td>~6 pF</td> </tr> <tr> <td>10</td> <td>~10 pF</td> </tr> <tr> <td>11</td> <td>~12.5 pF</td> </tr> </table>	00	~1 pF	01	~6 pF	10	~10 pF	11	~12.5 pF
00	~1 pF									
01	~6 pF									
10	~10 pF									
11	~12.5 pF									
XT2OF	Bit 1	<p>Príznak zlyhania oscilátora XT2</p> <table> <tr> <td>0</td> <td>Nedošlo k zlyhaniu oscilátora</td> </tr> <tr> <td>1</td> <td>Došlo k zlyhaniu oscilátora</td> </tr> </table>	0	Nedošlo k zlyhaniu oscilátora	1	Došlo k zlyhaniu oscilátora				
0	Nedošlo k zlyhaniu oscilátora									
1	Došlo k zlyhaniu oscilátora									
LFXT1OF	Bit 0	<p>Príznak zlyhania oscilátora LFXT1</p> <table> <tr> <td>0</td> <td>Nedošlo k zlyhaniu oscilátora</td> </tr> <tr> <td>1</td> <td>Došlo k zlyhaniu oscilátora</td> </tr> </table>	0	Nedošlo k zlyhaniu oscilátora	1	Došlo k zlyhaniu oscilátora				
0	Nedošlo k zlyhaniu oscilátora									
1	Došlo k zlyhaniu oscilátora									



BCSCTL3, Basic Clock System Control Register 3, pokračovanie



† Does not apply to MSP430x2xx, MSP430x21xx, or MSP430x22xx devices

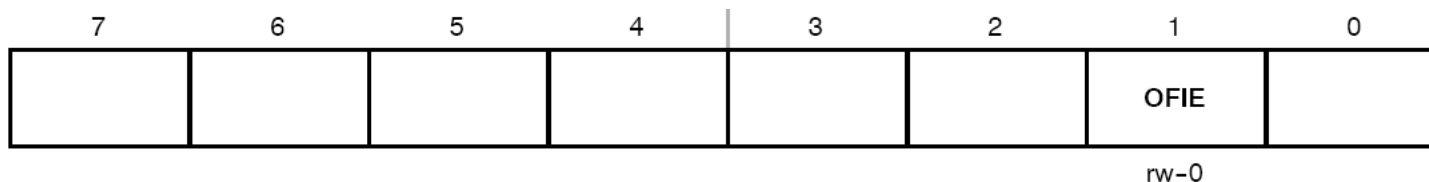


Sub System Clock



:: Modul generovania hodinového signálu - prehľad registrov

IE1, Interrupt Enable Register 1



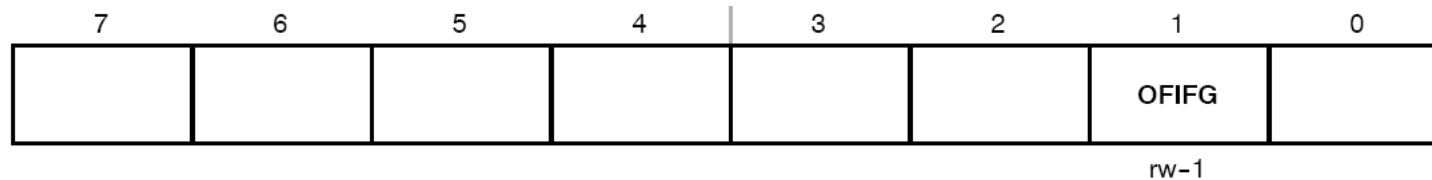
	Bity 7-2	Tieto bity môžu používať iné moduly.
OFIE	Bit 1	Povolenie prerušenia pri chybe oscilátora. Týmto bitom povoľujeme prerušenie pri nastavení príznaku OFIFG. 0 prerušenie nie je povolené 1 prerušenie je povolené
	Bit 0	Tento bit môžu používať iné moduly.



:: Modul generovania hodinového signálu - prehľad registrov

S T U . .
.
. F E I .
.

IFG1, Interrupt Flag Register 1



	Bits 7-2	Tieto bity môžu používať iné moduly.
OFIFG	Bit 1	Príznak prerušenia pri chybe oscilátora. 0 nebol nastavený príznak prerušenia 1 bol nastavený príznak prerušenia
	Bit 0	Tento bit môžu používať iné moduly.



:: Otázky ku skúške



- Akým spôsobom konfigurujeme jednotlivé piny portov procesora? Opíšte funkciu registrov PxIN, PxOUT a PxDIR!
- Aká je funkcia pull-up a pull-down rezistorov? Opíšte funkciu registrov PxREN, PxSEL a PxSEL2!
- Definujte pojem externé prerušenie! Ktoré piny procesorov platformy MSP430 môžeme konfigurovať ako vstupy externých prerušení? Opíšte funkciu registrov PxIFG, PxIES a PxIE!
- Akým spôsobom je vhodné konfigurovať nepoužité piny procesora a prečo?
- Opíšte tri oscilátory modulu generovania hodinového signálu procesora MSP430G2231!
- Akým spôsobom je možné kalibrovať frekvenciu digitálne riadeného oscilátora DCOCLK?
- Opíšte tri hodinové signály procesorov platformy MSP430!
- Aká je konfigurácia modulu generovania hodinových signálov procesorov platformy MSP430 po vykonaní PUC resetu?



Koniec prednášky č. 2
Konfigurácia I/O pinov,
modul generovania hodinového signálu